

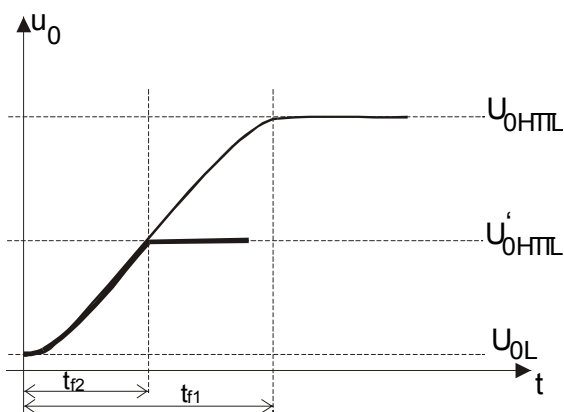
## CAPITOLUL 5

### FAMILIA ECL (3.05.2004)

#### 5.0. INTRODUCERE

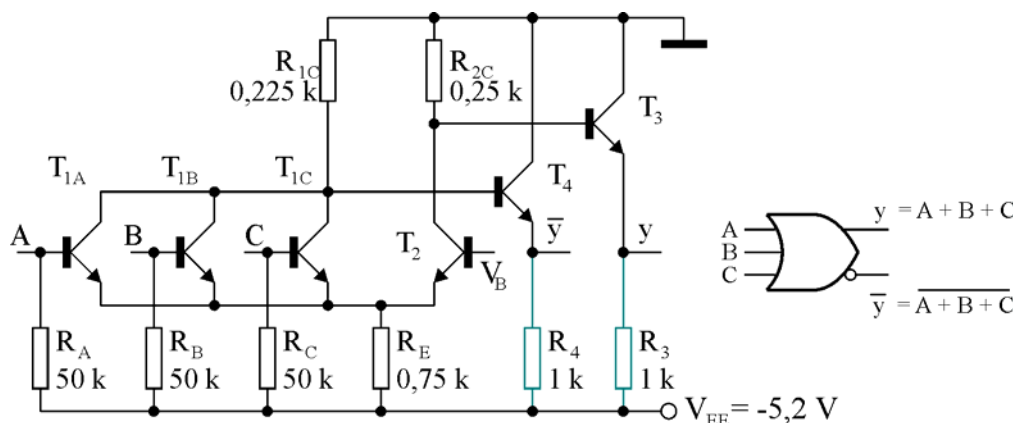
Familia TTL utilizează tranzistoare bipolare *npn* care conduc la saturație sau sunt blocate. Principalul factor care limitează viteza de comutare este eliminarea sarcinilor stocate în bază la comutarea tranzistorului din starea saturată în starea blocată. Familia ECL (*emitter-coupled logic*) este implementată tot cu tranzistoare *npn* bipolare, și utilizează comutarea unui curent fix, inferior curentului de saturație. Din acest motiv uneori această familie este uneori denumită ca fiind CML (*current-mode logic*). Reducerea timpului de propagare se realizează prin:

- evitarea saturației tranzistoarelor prin însăși schema circuitului;
- structura schemei folosite, aici utilizându-se etajul diferențial ca circuit de bază, funcționând în comutație de curent;
- reducerea la două a numărului de etaje consecutive ale circuitului logic;
- micșorarea amplitudinii semnalelor logice.



**Figura 5.1.** Prin reducerea excursiei tensiunii, scade timpul de tranziție.

#### 5.1. POARTA FUNDAMENTALĂ ECL



**Figura 5.2.** Poarta fundamentală ECL – schema electrică și simbol.

Funcția SAU se obține prin punerea în paralel a tranzistoarelor  $T_{1A}$ ,  $T_{1B}$ ,  $T_{1C}$  și  $T_2$ . Tranzistoarele ce corespund intrărilor, sunt în aceeași ramură a etajului diferențial format cu  $T_2$ . Curentul prin etajul diferențial este comutat de pe ramura din stânga pe ramura din dreapta sau invers. Rezistențele  $R_A$ ,  $R_B$

și  $R_C$  conectează intrările  $A$ ,  $B$  și  $C$  la  $V_{EE} = -5,2$  V, permițând funcționarea circuitului cu intrări flotante.

Etajul de ieșire este realizat cu repetoarele  $T_3$ ,  $T_4$ . Pentru evitarea saturației tranzistoarelor care conduc, valorile componentelor etajului sunt astfel calculate încât să permită funcționarea nesaturată a acestor tranzistoare.

Rolul etajului de ieșire este de a:

- amplifica curentul oferit la ieșire;
- mări factorul de bransament la ieșire;
- asigura o rezistență de ieșire mică (tipic  $7 \Omega$ ), deci încărcarea rapidă a capacităților parazite.
- Asigura compatibilitatea dintre nivelurile logice de ieșire și cele de intrare ale porții ECL prin scăderea tensiunii pe joncțiunile B-E

Modul de alimentare neobișnuit (masa la colector și  $V_{EE}$  în emitor) prezintă 2 avantaje:

- orice scurtcircuit între una dintre ieșiri și masă nu conduce la distrugerea porții;
- borna  $V_{EE}$  a tensiunii de alimentare este afectată de zgomote și de pulsațiile tensiunii redresate. Efectul acestor pulsații ale tensiunii de alimentare se aplică prin  $R_e$  etajului diferențial de intrare, fiind pentru acest etaj semnal de mod comun și în consecință sunt rejectate.

### 5.1.1. Analiza funcționării în regim static

Orice tensiune cu care se va opera în continuare este măsurată față de masă.

a. Cazul  $A = B = C = 0$ ;  $u_{iA} = u_{iB} = u_{iC} = U_{iL}$ . Ipoteze:  $T_{1A}$ ,  $T_{1B}$ ,  $T_{1C}$  blocate,  $T_2$  conduce nesaturat.

$$u_E = U_B - U_{2BE} = -1,3 - 0,7 = -2 \text{ V}; I_E = \frac{u_E - V_{EE}}{R_E} = \frac{-2 + 5,2}{0,75} = 4,2 \text{ mA}. \text{ Dacă } \beta \gg 1 \text{ atunci } I_E = i_{2C}.$$

$$u_{2C} = 0 - i_{2C}R_{2C} = -4,2 \cdot 0,25 = -1,1 \text{ V}; u_{02} = u_{2C} - u_{3BE} = -1,1 - 0,7 = -1,8 \text{ V}; U_{0L} = -1,8 \text{ V}.$$

$$u_{1C} = 0 - (I_{CEr} + i_{4B}) \cdot R_{1C} = -0,2 \text{ V}; u_{01} = u_{1C} - U_{3BE} = -0,2 - 0,7 = -0,9 \text{ V}; U_{0H} = -0,9 \text{ V}.$$

Verificarea ipotezelor:

- conducția nesaturată pentru  $T_2$ :  $u_{2BC} = U_B - u_{2C} = -1,3 + 1,1 = -0,2 \text{ V}$ , deci  $T_2$  nu este saturat.
- blocarea  $T_{1A}$ ,  $T_{1B}$ ,  $T_{1C}$ :  $u_{1BE} = U_{iL} - u_E = -1,8 + 2 = 0,2 < 0,5 \text{ V}$ , deci  $T_{1A}$ ,  $T_{1B}$ ,  $T_{1C}$  sunt blocate.

Marginea de zgomot este:  $\Delta U_{Z+} = 0,5 - 0,2 = 0,3 \text{ V}$

b. Cazul  $A = 1$ ,  $B = C = 0$ ,  $u_{iA} = U_{iH} = -0,9 \text{ V}$ ;  $u_{iB} = u_{iC} = U_{iL} = -1,8 \text{ V}$

Ipoteze:  $T_{1A}$  conduce nesaturat,  $T_{1B}$ ,  $T_{1C}$  blocate,  $T_2$  blocat

$$u_E = u_{iA} - U_{1A, BE} = -0,9 - 0,7 = -1,6 \text{ V}; I_e = \frac{u_E - V_{EE}}{R_e} = \frac{-1,6 + 5,2}{0,75} = 4,8 \text{ mA}$$

Dacă  $\beta \gg 1$ , atunci  $i_{1C} = i_E$ ,  $u_{1C} = 0 - i_{1C}R_{1C} = -4,8 \cdot 0,25 = -1,1 \text{ V}$ ;

$$u_{01} = u_{1C} - u_{4BE} = -1,1 - 0,7 = -1,8 \text{ V} = U_{0L}$$

$$u_{2C} = -(I_{CEr} + i_{3B}) R_{2C} = -0,2 \text{ V}, \text{ iar } u_{02} = u_{2C} - u_{3BE} = -0,2 - 0,7 = -0,9 \text{ V} = U_{0H}$$

Verificări:

- $T_1$  conduce nesaturat,  $u_{BC} = U_{iH} - u_{1C} = -0,9 + 1,1 = 0,2 \text{ V} < 0,5 \text{ V}$   $T_{1A}$  nu este saturat.
- Blocare lui  $T_2$ :  $U_{2BE} = U_B - u_E = -1,3 + 1,6 = 0,3 \text{ V} < 0,5 \text{ V}$ , deci  $T_2$  este blocat.

Se poate verifica și starea blocată a lui  $T_1$ .

$T_{1A}$  funcționează ca repetor iar marginea de zgomot reprezintă variația de tensiune parazită care aplicată la  $T_{1A}$  produce deschiderea tranzistorului  $T_2$ :  $\Delta U_{Z-} = -0,2 \text{ V}$ .

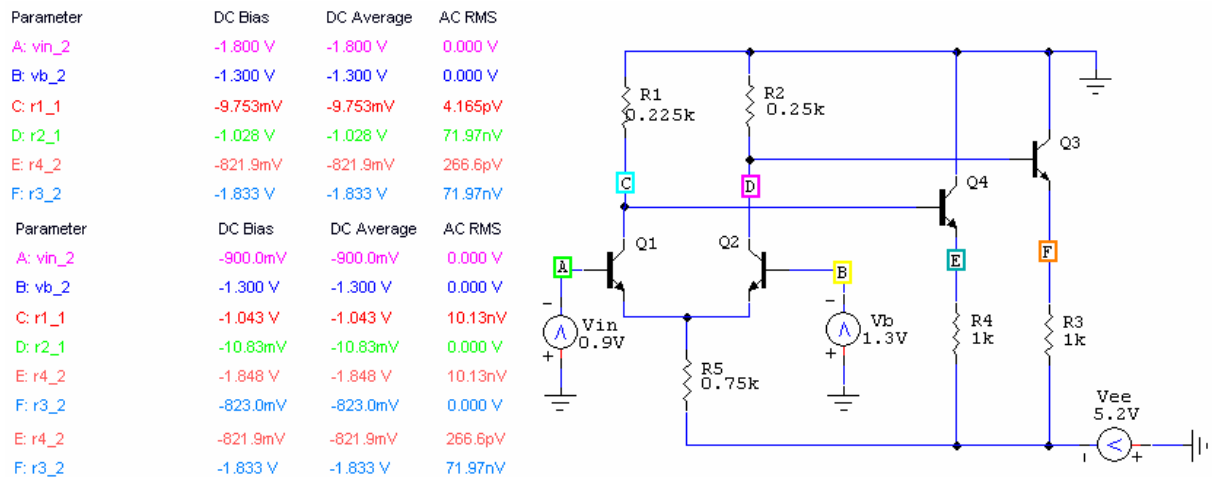


Figura 5.3. Poarta fundamentală ECL – simularea comportării în regim static.

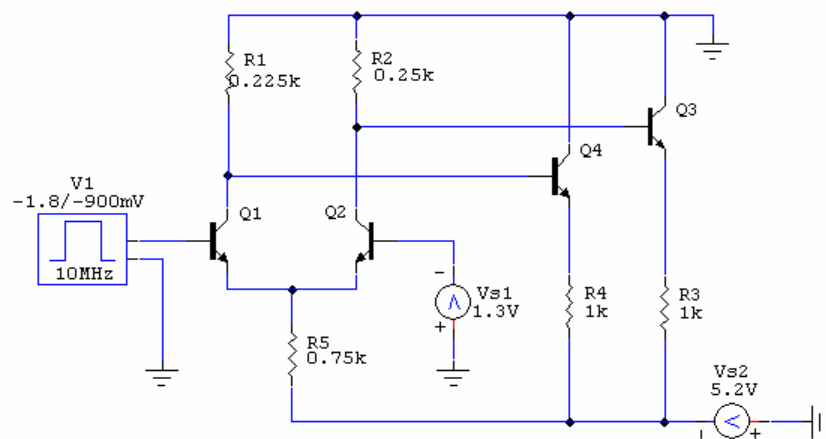


Figura 5.4. Poarta fundamentală ECL – simularea comportării în regim dinamic.

### 5.1.2. Parametrii familiei ECL – seria 10K

#### Avantajele familiei ECL (seria 10K):

- Timp de propagare redus:  $t_p = 2\text{ns}$ ;
- lipsa vârfurilor de curent absorbit de la sursa de alimentare atunci când ieșirile circuitului comută dintr-o stare în alta;  $i_c = 4,2\text{mA} \sim 4,8\text{mA}$ ;
- valoarea mare a rezistenței de intrare a unui astfel de circuit;
- rezistența de ieșire mică implică reducerea timpului de propagare și creșterea factorului de branșament;
- la ieșire sunt disponibile simultan ieșirile  $Y$  și  $\bar{Y}$ ;
- circuitul logic are etajul de ieșire cu emitorul în gol (OE). Se pot astfel interconecta două sau mai multe ieșiri, rezultând o funcție logică suplimentară (SAU-CABLAT, figura 5.3). Emitorul cu potențial mai ridicat blochează joncțiunea BE a tranzistorului care prezenta înainte de conectare un potențial mai scăzut.

#### Dezavantajele familiei ECL:

- valoarea ridicată a puterii medii consumate de la sursa de alimentare  $P_D = 26 \text{ mW}$  (cu ieșirea în gol, fără  $R_S$ )
- marginea de zgomot redusă  $(\Delta U_z)_{\text{gar}} = -125\text{mV}/ +155\text{mV}$  (sensibilitatea la zgomot este mare);
- incompatibilitatea nivelurilor logice ECL cu nivelurile logice ce corespund celorlalte familii;

- la seria 100K sunt valori mai mici ale rezistoarelor, ceea ce duce la un  $t_p = 0,75\text{ns}$ , dar și la o putere medie consumată de la sursa  $P_D = 40\text{mW}$  (fără  $R_S$ );  $U = -4,5\text{V}$ .

Tabelul 5.1

*Funcția SAU-CABLAT*

$y_a$	$y_b$	$Y$
0	0	0
0	1	1
1	0	1
1	1	1

$$Y = y_a + y_b \text{ (Funcția SAU-CABLAT)}$$

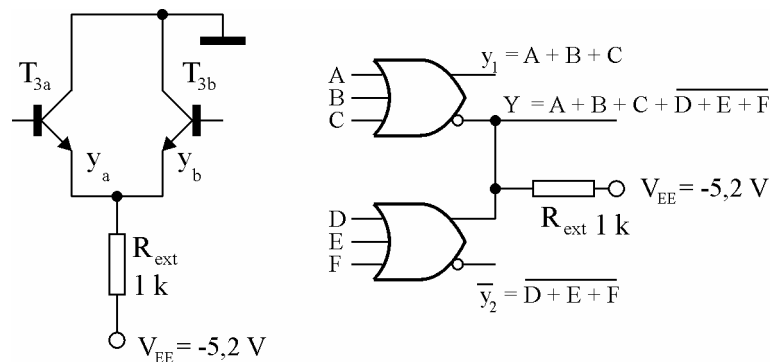


Figura 5.5. Cablarea ieșirilor – funcția SAU-CABLAT.

### 5.1.3. Parametrii familiei ECLin PS

Cele mai noi circuite ECL produse de firma Motorola sunt denumite ECLin PS, acronim provenit de la denumirea ECL in Pico Seconds, pentru care timpul de propagare este de 500 ps iar frecvența maximă de operare pentru un bistabil de 1,4 GHz. Există anumite porți în această serie cu  $t_p = 100\text{ps}$  și  $P_D = 5\text{mW}$ , rezultând un factor de merit de 0,5 pJ.

- Nivelurile logice sunt  $-0,8\text{V}$  (0 Logic) și  $-1,7\text{V}$  (1 logic), fiind compatibile cu celelalte familii ECL.
- Factorul de bransament tipic este 25.
- Puterea medie disipată de o poartă este de 25 mW, superioară celei de la seria AS.

Tabelul 5.1

*Comparație între seriile rapide dintre diferitele familii*

Parametru	Seria	74AS	74F	74AHC	74AVC	74ALVT	74ALB	ECL
$t_p$ [ns]		1,7	3,8	3,7	2	2,4	2,2	0,3
$P_D$ [mW], $f < 100\text{kHz}$		8	6	0,006	0,006	0,33	1	25
$\Delta U_z$ [mV]		300	300	550	250	400	400	150
$f_{MAX}$ [MHz]		200	100	130				1400
Factor de merit [pJ]		13,6	22,8	0,02	0,012	0,79	2,2	7,5